

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-011644
 (43)Date of publication of application : 14.01.2000

(51)Int.Cl.

G11C 11/407

(21)Application number : 10-182147
 (22)Date of filing : 29.06.1998

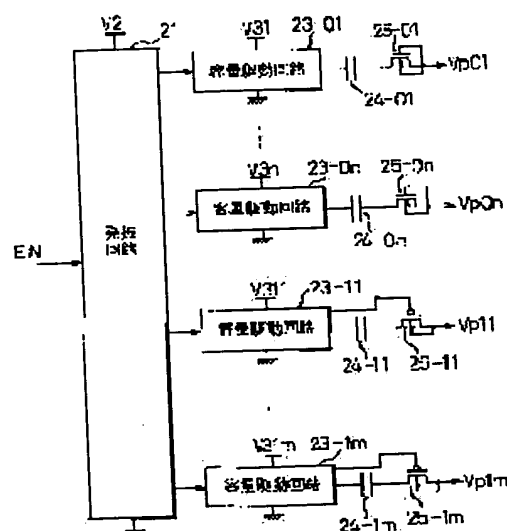
(71)Applicant : FUJITSU LTD
 (72)Inventor : KITAMOTO AYAKO
 MATSUMIYA MASATO
 ISHII YUKI
 KANO HIDEKI
 YAMADA SHINICHI
 MORI IKU

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the chip area and power consumption of a semiconductor device with a plurality of power supply circuits for driving a capacitor by an oscillation signal.

SOLUTION: A semiconductor device is provided with an oscillation circuit 21 and capacitors 24-01 to 24-0n and 24-11 to 24-1n and a plurality of power supply circuits for generating a different potential by driving the capacitors by an oscillation signal outputted from the oscillation circuit 21. In the semiconductor device, at least one portion of a plurality of power supply circuits shares the oscillation circuit 21 and drives a different capacitor by an oscillation signal that is outputted from the common oscillation circuit 21.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-11644

(P2000-11644A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl.⁷

G 1 1 C 11/407

識別記号

F I

G 1 1 C 11/34

テームト (参考)

3 5 4 F 5 B 0 2 4

審査請求 未請求 請求項の数 9 O L (全 11 頁)

(21) 出願番号 特願平10-182147

(22) 出願日 平成10年6月29日 (1998. 6. 29)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 北本 綾子

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 松宮 正人

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100077517

弁理士 石田 敬 (外4名)

最終頁に続く

(54) 【発明の名称】 半導体装置

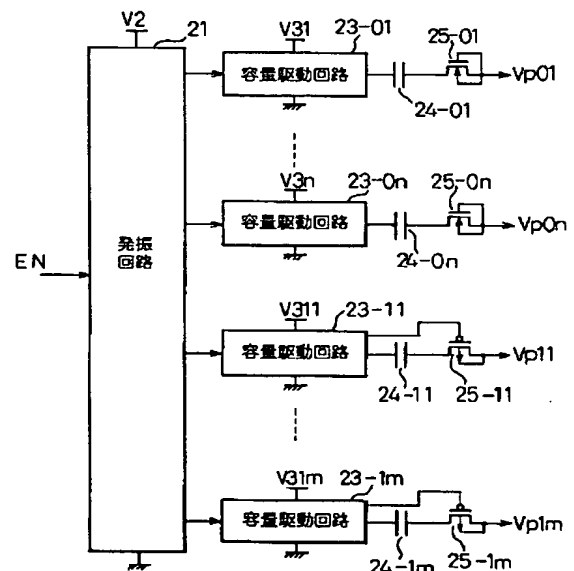
(57) 【要約】

【課題】 発振信号で容量を駆動する電源回路を複数有する半導体装置のチップ面積及び消費電力を低減する。

【解決手段】 発振回路21と容量24-01 ~ 24-0n, 24-11 ~ 24-1n とを有し、発振回路の出力する発振信号で容量を駆動することにより異なる電位を発生する電源回路を複数個備える半導体装置であって、複数の電源回路の少なくとも一部は発振回路21を共有し、共通の発振回路から出力される発振信号で、異なる容量を駆動する。

図 5

第1実施例の電源回路の基本構成



1

【特許請求の範囲】

【請求項 1】 発振回路と容量とを有し、前記発振回路の出力する発振信号で前記容量を駆動することにより異なる電位を発生する電源回路を複数個備える半導体装置であって、

前記複数の電源回路の少なくとも一部は前記発振回路を共有し、共通の発振回路から出力される発振信号で、異なる容量を駆動することを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置であって、前記電源回路は、前記共通の発振回路から出力される発振信号の前記容量の駆動回路への入力部に動作制御回路を備える半導体装置。

【請求項 3】 請求項 1 に記載の半導体装置であって、前記発振回路を共有する前記電源回路は、異なる電位を発生させる半導体装置。

【請求項 4】 請求項 1 に記載の半導体装置であって、前記共通の発振回路は、複数の位相の異なる発振信号を出力し、前記容量は、前記複数の位相の異なる発振信号で駆動される半導体装置。

【請求項 5】 請求項 4 に記載の半導体装置であって、前記複数の位相の異なる発振信号で駆動される容量を有する電源回路は同一の電位を発生し、当該電源回路の出力は共通に接続されている半導体装置。

【請求項 6】 請求項 5 に記載の半導体装置であって、前記電源回路は、前記共通の発振回路から出力される発振信号の前記容量の駆動回路への入力部に設けられ、当該電源回路の動作状態を動作状態と非動作状態の間で切り換える動作制御回路と、当該電源回路の発生する電位を検出する電位検出回路とを備え、当該電位検出回路の検出結果に基づいて前記動作制御回路を制御する半導体装置。

【請求項 7】 外部から入力されるクロックを受けるクロック入力回路と、容量を有し、前記クロック入力回路の出力する電源用内部クロックで前記容量を駆動することにより異なる電位を発生する電源回路を複数個備えることを特徴とする半導体装置。

【請求項 8】 請求項 7 に記載の半導体装置であって、前記クロック入力回路は、前記クロックを分周する分周回路を備え、該分周回路の出力を電源用内部クロックとして出力する半導体装置。

【請求項 9】 請求項 1 から 8 のいずれか 1 項に記載の半導体装置であって、当該半導体装置はダイナミック・ランダム・アクセス・メモリである半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、昇圧回路や降圧回

2

路などの、発振信号で容量を駆動することにより異なる電位を発生する電源回路を複数個内部に有する半導体装置に関し、特にそのような電源回路を有するダイナミック・ランダム・アクセス・メモリ (DRAM) に関する。

【0002】

【従来の技術】 近年、半導体装置では、高速化、省電力化、雑音の低減などのために動作電圧を低減することが行われている。例えば、従来は半導体装置の駆動電圧は 5 V であったが、近年は 3.3 V が使用されており、今後さらに低電圧化していく方向にある。しかし、動作の安定性などのためには、このような電圧だけでは不十分で、より高い電圧や、負電圧などが必要となる。そこで、半導体装置の内部に昇圧電源回路や降圧電源回路を設け、必要な電圧を内部で発生することが行われている。特に、DRAM はできるだけ構成を簡単にして高集積化することを目的として開発が行われてきたが、近年は高集積化に加えて高速化も重要な目的となっている。

【0003】 特開平 2-73593 号公報は、選択ワード線の電圧を内部電源の電圧 (内部電圧) や外部から入力される電源電圧 (外部電圧) より高くすることにより、動作の安定性を向上させる構成を開示している。また、特開平 9-134591 号公報は、非選択のワード線の電位 (リセット電位) をグラウンドレベル以下の負電位にすることにより、サブスレッシユホールドリークを低減する構成を開示している。これによりメモリセルに保持された電荷のリークが低減されるので、リフレッシュサイクルを長くでき、消費電力も低減できる。

【0004】 図 1 は、DRAM の内部で発生される電圧 (電位) レベルを示す図である。図では、外部入力電源 V_{dd} 、GND に対して、チップ内で発生する電源電圧レベルを示しており、これらの電圧レベルは発振信号で容量を駆動する電源回路により発生される。 V_{pp} は選択ワード線の「高 (H)」レベルであり、 V_{nw1} はワード線リセットレベルであり、 V_{bb} はセルトランジスタのバックバイアスであり、 V_{ppr} は V_g を生成するための昇圧電位である。 V_g は、後述するように、N チャンネルトランジスタを用いて内部降圧電源 V_2 を発生する場合にそのゲート電位として使用する一定電位である。 V_g は $V_2 + V_{th}$ (トランジスタの閾値) であるので $V_g > V_{dd}$ となることもある。そのため V_{dd} より高い電位から V_g を生成する必要がある。

【0005】 セルトランジスタにはバックバイアスとして負電位 V_{bb} を印加する。この理由は、(1) チップ内の p n 接合の順バイアスを防ぎ、データ破壊やラッチアップを防止するためであり、(2) MOS トランジスタの閾値の変化を少なくする、(3) 逆バイアスにより接合容量を小さくする、(4) 寄生 MOS トランジスタの閾値を高くし、トランジスタ特性を改善する等が挙げられる。

50

3

【0006】選択ワード線のHレベル(V_{pp})は、セル蓄積電荷の「H」レベル+ V_{th} 以上にする必要がある。更に、近年、電源の低電圧化、半導体装置の低消費電力化が進むに従って、 V_{pp} レベルを低くしたいという要求がある。この要求を実現するには、セルトランジスタの閾値を下げなければならない。しかし、セルトランジスタの閾値を下げると、セルトランジスタのオフ時のリーク電流の増加、セル蓄積電荷の保持時間の低下となり、安定で確実な動作の障害となる。このセルトランジスタの閾値低下への対策として、特開平9-134591号公報に記載されているように、ワード線リセットレベルを負電位(V_{nw1})にする。ワード線リセットレベルをビット線振幅の「低(L)」側よりも低い電位にしておくことにより、どんな動作状態においても非選択のセルトランジスタのゲート・ソース間には負バイアスがかかることになり、非選択セルトランジスタのリーク電流を低減できる。これにより、信頼性の高いDRAMが実現できる。

【0007】以上のように、DRAMでは外部から供給される電源電圧以外の各種の電圧が使用されるが、上記のような電源電圧については、発振信号で容量を駆動することにより異なる電位を発生する電源回路が使用される。

【0008】

【発明が解決しようとする課題】図2は、従来のDRAMにおける上記の電源回路の構成例を示す図である。図示のように、チップ内には複数の電源回路11-0~11-nが設けられている。各電源回路は、発振回路21-0~21-nと、容量駆動回路23-0~23-nと、容量(ポンピング容量)24-0~24-nと、出力回路(出力トランジスタ)25-0~25-nとを有し、それぞれ外部電源電圧と異なる電圧 $V_{p1} \sim V_{pn}$ を出力する。

【0009】半導体装置では、コストダウンにつながるチップ面積の縮小と消費電力の低減が要求されている。半導体装置は、高速化やリフレッシュ時間の延長などの性能の向上のために、図2のように多数の電源回路を設けているが、これがチップ面積の増大や消費電力の増加という別の点での性能の低下を生じている。そのため、高速化やリフレッシュ時間の延長などの性能の向上に伴う別の性能の低下をできるだけ少なくすることが求められている。

【0010】本発明の目的は、高速化やリフレッシュ時間の延長などの性能を向上させるために複数の電源回路を備える半導体装置における、チップ面積の増大や消費電力の増加などを少なくすることである。

【0011】

【課題を解決するための手段】上記目的を実現するため、本発明の半導体装置は、複数の電源回路の発振回路を共用する。すなわち、本発明の半導体装置は、発振回

4

路と容量とを有し、発振回路の出力する発振信号で容量を駆動することにより異なる電位を発生する電源回路を複数個備える半導体装置であって、複数の電源回路の少なくとも一部は発振回路を共有し、共通の発振回路から出力される発振信号で、異なる容量を駆動することを特徴とする。

【0012】本発明の半導体装置は、従来複数の電源回路にそれぞれ設けられていた発振回路を共用するため、重複する発振回路を除くことができる。これにより、重複する発振回路の分のチップ面積とそこでの消費電力が低減できる。電源回路において、共通の発振回路から出力される発振信号の容量の駆動回路への入力部に動作制御回路を設けることにより、動作状態を制御できるようになる。

【0013】発振回路を共有する電源回路は、異なる電位を発生させても、同一の電位を発生させてもよい。同一の電位を発生する場合には、それらの出力を接続して使用する。容量は、同一の位相の発振信号で駆動しても、複数の位相の異なる発振信号で駆動してもよい。同一の電位を発生する電源回路の出力を接続する場合に、電源回路の容量を複数の位相の異なる発振信号で駆動すれば、発振信号の周期を短くしても効率が低下しない。

【0014】電源回路において、容量の駆動回路への入力部に動作制御回路を設け、電源回路の発生する電位を検出する電位検出回路を設け、電位検出回路の検出結果に基づいて動作制御回路を制御すれば、安定した電源供給が可能である。なお、外部から入力されるクロックをクロック入力回路で受け、その出力で異なる電位を発生する複数の電源回路の容量を駆動してもよい。これでも同様の降下が得られる。その場合、クロック入力回路に前記クロックを分周する分周回路を設け、電源回路に適した周期のクロックを使用するようにしてもよい。

【0015】

【発明の実施の形態】本発明は、各種の半導体装置に適用可能であるが、以下の実施例ではダイナミック・ランダム・アクセス・メモリに適用した実施例を説明する。図3は、本発明の第1実施例のDRAMチップ7のバンク構成を示す図である。図示のように、メモリセルは16個のブロックに分けられている。各ブロックでは、通常のDRAMと同様に、ワード線、ビット線、メモリセル、センスアンプ、ワードデコーダ、ワードドライバ、コラムデコーダ、データアンプ、ライトアンプなどが配置されている。16個のブロックは、4個のバンクに分割され、同一のバンクのブロックは並行してアクセスされる。従って、この例では4個のブロックが並行してアクセスされる。更に、各ブロックでは8個のメモリセルが並行してアクセスされるので、32ビットのデータ幅を有する。

【0016】図4は、第1実施例のDRAMの機能構成を示すブロック図である。図示のように、アドレスポー

5

ト11から入力されたアドレス信号は各バンクのロウデコーダ3とコラムデコーダ14に供給される。ロウデコーダ3の出力するロウ選択信号は、ワード線ドライバ2を介して各ワード線15に印加され、アクセスするメモリセルが接続されるワード線(選択ワード線)を活性化し、それ以外のワード線(非選択ワード線)は非活性状態に保持される。コラムデコーダ14の出力するコラム選択信号は、センスアンプ列17に印加され、アクセスするメモリセルが接続されるビット線が接続されるセンスアンプを活性化し、それ以外のセンスアンプは非活性状態に保持される。入力されたアドレス信号及び制御信号(図示せず)は論理回路12に供給され、そこで発生された内部制御信号が各バンクに供給される。データ書込み時には、I/Oポート13に入力された書込みデータが、ライトアンプ19を介してセンスアンプ列17に供給され、活性化されたセンスアンプがビット線を書込みデータに応じた状態に設定する。選択ワード線に接続されるメモリセルには、このビット線の状態に対応した電位状態(電荷)が蓄積される。データ読み出し時には、選択ワード線に接続されるメモリセルの蓄積電荷に応じてビット線の状態が変化し、その状態を活性化されたセンスアンプが増幅する。データアンプ18は、その状態をI/Oポート13へ出力する。以上は、従来の一般的な構成である。このような構成に加えて、第1実施例のDRAMは、図示のように、外部電源電位とは異なる電位を発生する電源回路4を有する。

【0017】図1に示したように、近年のDRAMは、外部入力電源V_{dd}、GND以外の電位の電源を内部で発生するための電源回路を有している。図1では、選択ワード線の「高(H)」レベルV_{pp}、ワード線リセットレベルV_{nwl}、セルトランジスタのバックバイアスV_{bb}、V_gを生成するための昇圧電位V_{ppr}が示されている。これらの電位は、発振信号で容量を駆動する電源回路で生成される。図4の電源回路は、このような電源回路全体を示している。

【0018】図5は、第1実施例の電源回路4の基本構成を示す図である。図5に示すように、容量駆動回路23-01~23-0n及び23-11~23-1mと、容量(ポンピング容量)24-01~24-0n及び24-11~24-1mと、出力トランジスタ25-01~25-0n及び25-11~25-1mを有する出力回路が設けられており、容量駆動回路と容量と出力回路はそれぞれ組をなし、電源回路ユニットを構成する。なお、図5では出力回路はトランジスタで構成される。各容量駆動回路23-01~23-0nには、共通の発振回路21から発振信号が供給される。各容量駆動回路に供給される発振信号は、同一の信号の場合も、周期の異なる信号の場合も、周期は同じであるが位相が異なる信号の場合もある。各電源回路ユニットは、それぞれ電位V_{p01}~V_{p0n}及びV_{p11}~V_{p1n}を発生す

6

る。容量駆動回路23-01~23-0nと容量24-01~24-0nと出力トランジスタ25-01~25-0nで構成される各電源回路は、負電圧発生回路を示し、容量駆動回路23-11~23-1mと容量24-11~24-1mと出力トランジスタ25-11~25-1mで構成される各電源回路は、昇圧回路を示す。発振回路21は、制御信号ENにより発振を停止できるようになっており、発振回路21が発振を停止した場合には発振信号が出力されないの、各電源回路も動作を停止する。従って、制御信号ENにより電源回路の動作が制御できる。

【0019】図示のように、発振回路21の高電位側電源V₂と各容量駆動回路23-11~23-1nの高電位側電源V₃₁~V_{3n}及びV₃₁₁~V_{31m}は異なっている(異なっているのが一部のみでもよい)。ここでは、電源V₃₁~V_{3n}及びV₃₁₁~V_{31m}として外部電源V_{dd}を使用し、V₂は外部電源V_{dd}から図6に示すような内部降圧電源回路を使用して発生させている。図6の(1)は、Pチャンネルトランジスタのドライバを用いた負帰還回路を使用した回路で、v_{ref}と等しい電位をV₂として出力するものである。従って、定電位電源で発生させた正確な電位をv_{ref}として使用すれば、外部電源V_{dd}が変動しても安定した内部降圧電源V₂が得られる。図6の(2)は、Nチャンネルトランジスタを用いた降圧回路であり、Nチャンネルトランジスタのゲート電圧をV_gとすると、V₂はV_g-V_{th}(トランジスタの閾値)になる。同様に、定電位電源で発生させた正確な電位をV_gとして使用すれば、外部電源V_{dd}が変動しても安定した内部降圧電源V₂が得られる。V₂が安定していれば、発振回路21の発生する発振信号の周期を安定させることが可能である。また、V₃がV₂より高いので、電流供給能力を高くでき、チップ面積の増大を押さえることができる。なお、V₃としてチップ内部で降圧した電源を使用することも、V₂とV₃を等しくすることも可能である。更に、V₂とV₃を共に外部電源V_{dd}とすることも可能である。ただし、この場合には、発振回路の発振信号の周期は外部電源の値に影響される。

【0020】図7と図8は、第1実施例の電源回路の具体的な回路構成を示す図であり、負電圧発生回路が2個(すなわち、nが2)で、昇圧回路が2個(すなわち、mが2)の場合の例である。図7に示すように、発振回路21は複数のインバート及び複数のNANDゲートを直列に接続し、最終段の出力を初段に inputsする公知の発振回路である。発振回路21の2段目のNANDゲートには制御信号ENが入力され、発振回路を動作を制御できるようになっている。また、発振回路21の5段目のNANDゲートと、出力部に入力される制御信号v_{tx}は外部の制御信号で、テスト時などにEN信号にかかわらずWLリセットレベル発生回路を強制的に停止す

7

る時に使用する信号である。

【0021】第1の負電圧発生回路は、レベル変換回路22と、容量駆動回路23-01と、容量24-01と、出力回路と、動作制御回路26-01とで構成されている。図示のように、発振回路21の電源はV2であり、容量駆動回路23-01の電源はV2より高いV7である。そのため、発振回路21の発振信号は、レベル変換回路22でV3に対応するレベルに変換した後、容量駆動回路23-01に印加している。容量駆動回路23-01の出力が「高(H)」の時、容量24-01のPチャンネルトランジスタのゲートは接地され、グランドレベルになる。すなわち、容量24-01のPチャンネルトランジスタのゲートの電位はソースとドレインの電位より低くなる。次に容量駆動回路23-01の出力が「低(L)」になると、容量24-01のPチャンネルトランジスタのゲートはグランドから切り離され、容量24-01のPチャンネルトランジスタのソースとドレインはグランドレベルになる。上記のように、Pチャンネルトランジスタのゲートの電位はソースとドレインの電位より低いので、ゲートの電位は負電位になる。この負電位が負電位出力V4として出力される。動作制御回路26-01は、第1の負電圧発生回路の動作を制御するスイッチで、第1の負電圧発生回路は、制御信号V4ENが「H」の時に動作し、「L」の時に動作を停止する。

【0022】第2の負電圧発生回路は、容量駆動回路23-02と、容量24-02と、出力回路と、動作制御回路26-02とで構成されている。容量駆動回路23-02の電源V6は、V2と同一か又はそれより低い電位であるので、レベル変換回路は必要ない。また、発振回路21から第2の負電圧発生回路に供給される発振信号は、第1の負電圧発生回路に供給される発振信号と位相がずれている。他の部分は第1の負電圧発生回路と同じである。

【0023】第1の昇圧回路は、容量駆動回路23-10と、容量24-101及び24-102と、出力回路と、動作制御回路26-11とで構成されている。容量駆動回路23-10のインバータ23-101と23-102が容量の駆動部である。発振回路21から信号Pが動作制御回路26-11のNANDゲートに供給される。NANDゲートには制御信号V5ENが供給され、信号Pの容量駆動回路での供給、すなわち第1の昇圧回路の動作を制御できるようになっている。ここでは詳しい説明は省略する。第2の昇圧回路も同様の構成を有する。

【0024】上記のように、第1実施例の電源回路では、第1と第2の負電圧発生回路及び第1と第2の昇圧回路の4個の電源回路が1個の発振回路21から供給される発振信号で駆動される。従って、発振回路21は1個だけ設ければよいので、チップ面積を低減でき、消費

8

電力も低減できる。図9は、昇圧回路の他の構成例を示す図であり、図8の第1の昇圧回路に対応する回路である。図示のように、図8の第1の昇圧回路とは、制御信号V5ENによる信号Pのスイッチング動作の部分と、容量駆動回路のゲート構成と、出力回路の制御が異なるが、基本的な動作は同じであり、これ以上の詳しい説明は省略する。

【0025】図10は、本発明の第2実施例の電源回路の構成を示す図である。第2実施例は、図5に示した第1実施例で、1つの負電位発生回路と1つの昇圧回路を、それぞれ複数のユニットで構成し、その出力を共通に接続したものである。従って、図示の回路の他に負電位発生回路と昇圧回路が設けられていてもよく、それらが、図示のように複数のユニットで構成されていてもよい。また、共通に接続された各ユニットの出力のレベルを検出する出力レベル検出回路27-1と27-2が設けられている。各負電位発生回路ユニット及び各昇圧回路ユニットには、発振回路21からそれぞれ位相の異なる発振信号が供給される。第2実施例の電源回路は、発振信号の周期に対してポンピング容量が大きい時に有効である。発振信号の周期が短くなると、大きな容量を十分に充電できなくなり、電流供給効率が低下する。そのため、発振信号の周期をあまり短くできない。一方、負電位発生回路及び昇圧回路の面積の増大を抑制し、その消費電流を抑制するためには発振信号の周期を短くすることが望ましい。第2実施例の電源回路のように、各ユニットの出力を共通に接続し、各ユニットに異なる位相の発振信号を入力すると、たとえば発振信号の周期が短く比較的小さな容量しか十分に充電できなくても、他のユニットが交互に補うため全体としての電流供給効率は低下しない。

【0026】また、出力レベル検出回路27-1と27-2は、複数の負電位発生回路ユニットと複数の昇圧回路ユニットの共通に接続された出力のレベルが、所定のレベル以下であるか以上であるか、又は所定の範囲内であるかを検出し、その検出結果に応じて、容量駆動回路23-0a~23-0k及び23-1a~23-1iの一部又は全部の動作を制御する。これは、負電位発生回路全体又は昇圧回路全体が発生する電圧の消費電流が多い時には多数のユニットを動作させて十分な電流供給量を確保すると共に、消費電流が少ない時には一部のユニットの動作を停止して消費電力を低減するためである。

【0027】第1及び第2実施例では、発振回路によりチップの内部に容量を駆動するための発振信号を発生させた。DRAMの一種に、外部からクロックが供給され、外部との信号の入出力及び内部での動作をクロックに同期して行うことにより高速動作を可能にしたシンクロナスDRAM(SDRAM)がある。このクロックは、チップが動作状態にある時には常時供給されるので、受信したクロックを分周すれば発振信号と同様の信

号を生成できる。次に本発明をこのような半導体装置に適用した第3実施例を説明する。

【0028】図11は、第3実施例の半導体装置の構成を示す図である。図示のように、第3実施例の半導体装置1は、外部から供給されるクロックCLKを受けるクロック入力回路2と、クロック入力回路2の出力するクロックを分周する分周回路3と、分周回路3の出力する分周クロックで容量を駆動することにより外部電源電圧と異なる電位の電源電圧を発生する複数の電源回路11-0~11-nを有する。分周回路3から各電源回路11-0~11-nに供給される分周クロックは、同一の分周クロックでも、周期の異なる分周クロックでも、周期は同じであるが位相の異なる分周クロックでもよい。各電源回路11-0~11-nは、第1及び第2実施例で説明した容量駆動回路と容量と出力回路を有し、電源電圧の高い容量駆動回路を使用する場合には、図7に示したレベル変換回路を使用する。第3実施例においては、分周回路が共通化されているので、チップ面積及び消費電力を低減できる。

【0029】図12は、第3実施例の分周回路3で使用する回路の構成例である。SDRAMの場合、外部から供給されるクロックは非常に高速であり、そのままでは容量駆動回路には使用できない。そこで、図12のような分周回路を使用して、分周クロックCKを発生させる。図12の(1)は、インバータを2個使用したフリップフロップ回路と、クロックCLKで制御されるトランスファークロップを組み合わせて1段の1/2分周回路を構成する。これをn段直列に接続することにより1/2ⁿの分周回路が実現される。図12の(2)についての詳しい説明は省略するが、(1)と同様に、1/2分周回路をn段直列に接続したものである。

【0030】以上、本発明の実施例を説明したが、すでに説明したように、実施例の構成を各種組み合わせることが可能であり、要求される使用に応じて最適な方法を使用することが重要である。

【0031】

【発明の効果】以上説明したように、本発明によれば、発振信号で容量を駆動して異なる電源電圧を発生する電

源回路を複数有する半導体装置において、チップ面積及び消費電力を低減できる。

【図面の簡単な説明】

【図1】ダイナミック・ダングラム・アクセス・メモリ(DRAM)で使用する電圧レベルを示す図である。

【図2】従来例における電源回路の構成例を示す図である。

【図3】本発明の第1実施例のDRAMのバンク構成を示す図である。

【図4】第1実施例のDRAMのブロック構成図である。

【図5】第1実施例の電源回路の基本構成を示す図である。

【図6】内部降圧電源回路の構成例を示す図である。

【図7】第1実施例の電源回路の具体的な構成を示す図である。

【図8】第1実施例の電源回路の具体的な構成を示す図である。

【図9】昇圧回路の他の構成例を示す図である。

【図10】第2実施例の電源回路の基本構成を示す図である。

【図11】第3実施例の半導体装置の構成を示す図である。

【図12】第3実施例の分周回路の構成例を示す図である。

【符号の説明】

1…半導体装置

2…クロック入力回路

3…分周回路

4…電源回路

21…発振回路

22…レベル変換回路

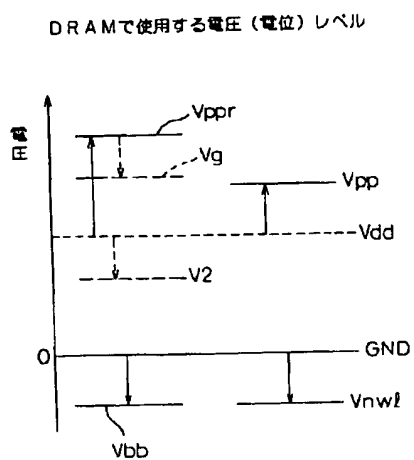
23-01、23-0n、23-11、23-1n…容量駆動回路

24-01、24-0n、24-11、24-1n…容量

25-01、25-0n、25-11、25-1n…出力トランジスタ(出力回路)

【図 1】

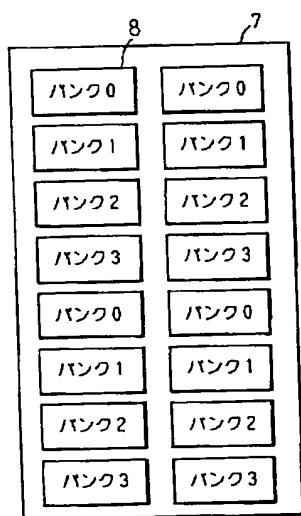
図 1



【図 3】

図 3

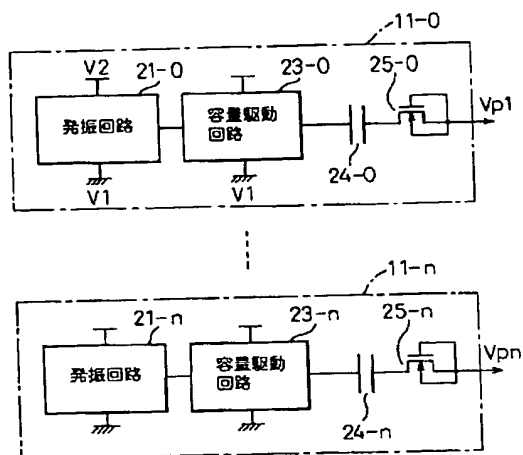
第 1 実施例の DRAM のバンク構成



【図 2】

図 2

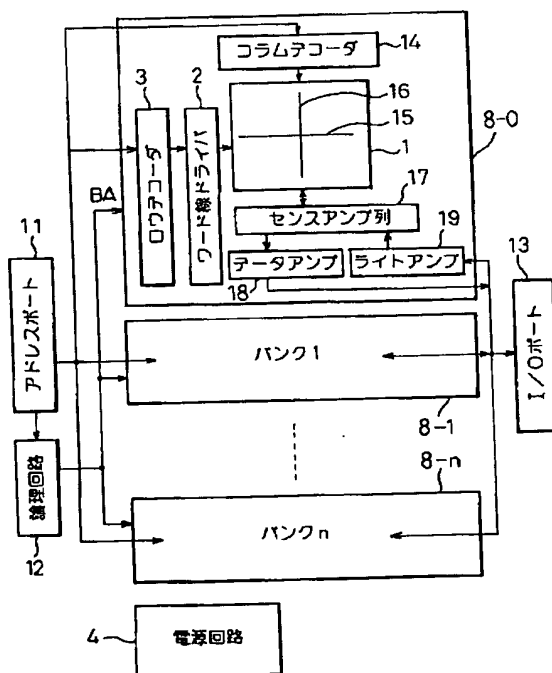
従来例における電源回路の構成例



【図 4】

図 4

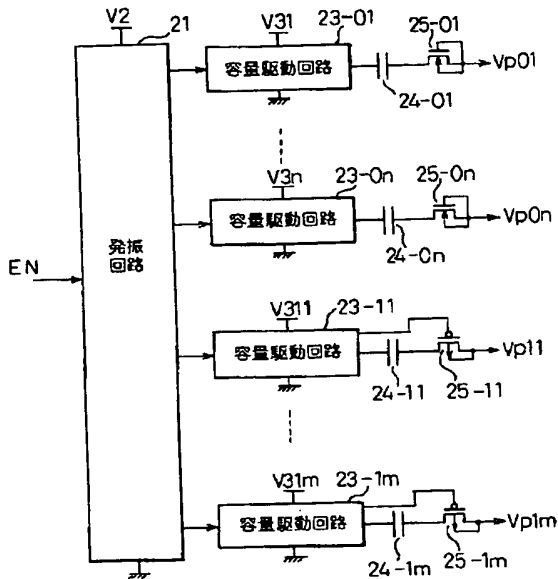
第 1 実施例の DRAM のブロック構成図



【図 5】

図 5

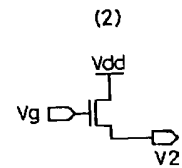
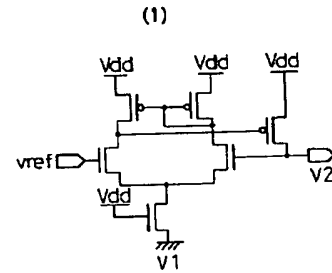
第 1 実施例の電源回路の基本構成



【図 6】

図 6

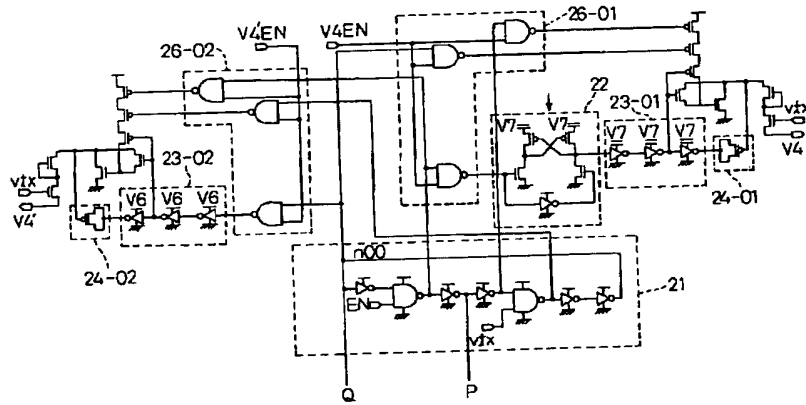
内部降圧電源回路の構成例



【図 7】

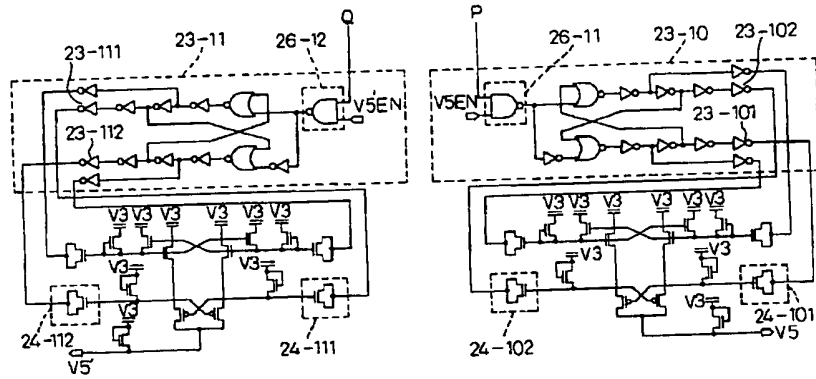
第 1 実施例の電源回路の構成 (その 1)

図 7



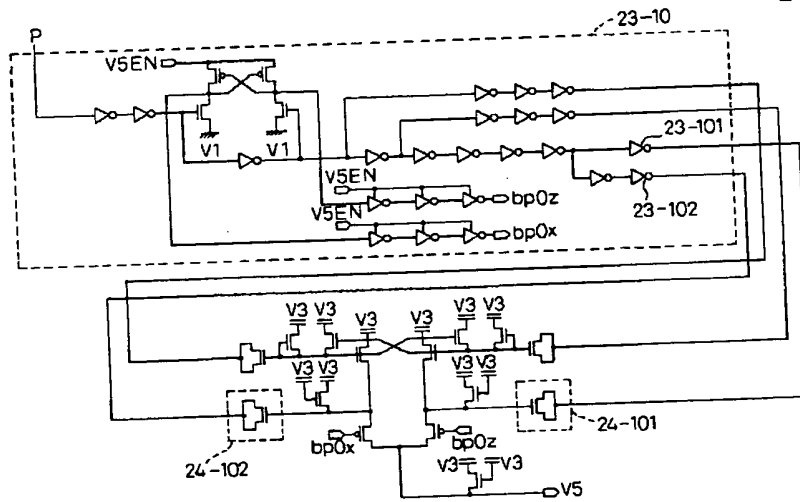
【図 8】

第 1 実施例の電源回路の構成 (その 2)



【図 9】

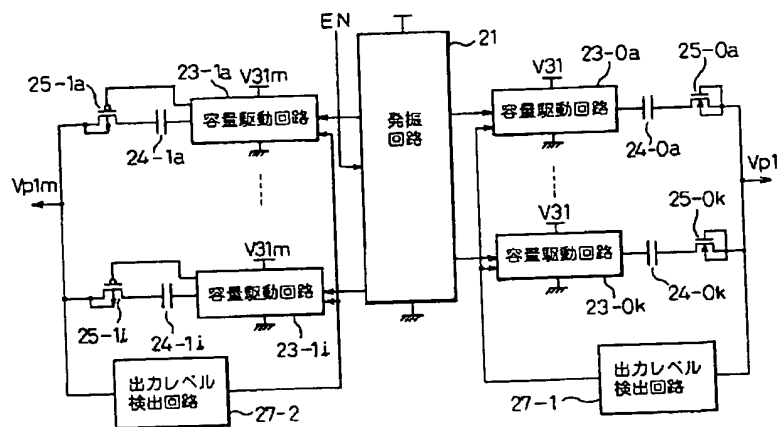
昇圧回路の他の構成例



【図10】

第2実施例の電源回路の基本構成

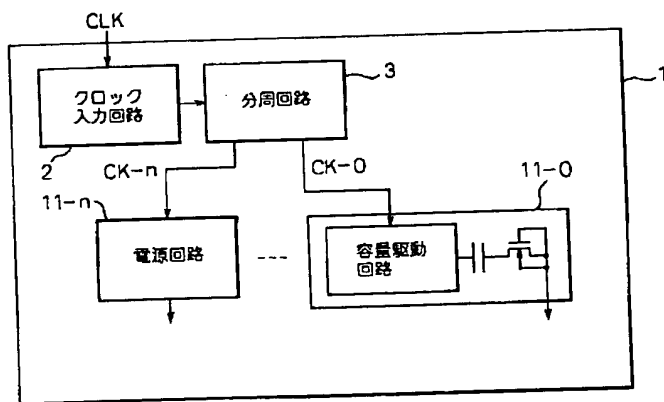
図10



【図11】

第3実施例の半導体装置の構成

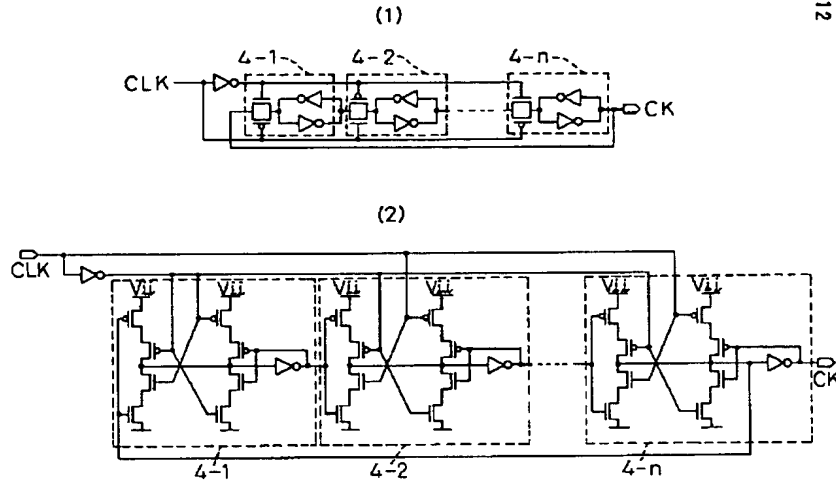
図11



【図 12】

分周回路の構成例

図 12



フロントページの続き

(72)発明者 石井 祐樹
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内
(72)発明者 加納 英樹
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内

(72)発明者 山田 伸一
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内
(72)発明者 森 郁
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内

30

F ターム(参考) 5B024 AA01 AA07 BA27